

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-008427

(43)Date of publication of application : 10.01.2003

(51)Int.Cl.

H03K 19/0175

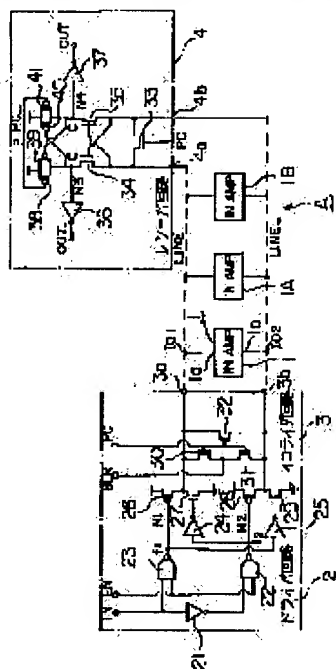
G06F 3/00

H03F 1/34

(21)Application number : 2002-102796 (71)Applicant : TEXAS INSTR JAPAN LTD

(22)Date of filing : 22.11.1991 (72)Inventor : SUKEGAWA SHUNICHI

(54) SIGNAL TRANSMISSION CIRCUIT



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a signal transmission circuit that can attain a long signal transmission distance and reduce the delay of signal and power consumption.

SOLUTION: The signal transmission circuit comprises a driver circuit that converts a level signal into a differential signal, an equalizer circuit that makes an output of the driver circuit flat, a receiver circuit that converts the differential signal into a level signal, and an intermediate amplifier circuit that is connected between the driver circuit and the receiver circuit, and the intermediate amplifier circuit amplifies the differential signal outputted from the driver circuit through its positive feedback and transmits the amplified signal to the receiver circuit.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-8427

(P2003-8427A)

(43)公開日 平成15年1月10日(2003.1.10)

(51)Int.Cl.⁷

識別記号

F I

テ-7コ-ト*(参考)

H 0 3 K 19/0175

G 0 6 F 3/00

H 5 J 0 5 6

G 0 6 F 3/00

N 5 J 0 9 0

H 0 3 F 1/34

H 0 3 F 1/34

H 0 3 K 19/00

1 0 1 J

1 0 1 M

審査請求 有 請求項の数2 O L (全 11 頁)

(21)出願番号

特願2002-102796(P2002-102796)

(62)分割の表示

特願平3-334121の分割

(22)出願日

平成3年11月22日(1991.11.22)

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿六丁目24番1号

(72)発明者 助川 俊一

茨城県稲敷郡美浦村木原2350番地 日本テ
キサス・インスツルメンツ株式会社内

(74)代理人 100094053

弁理士 佐藤 隆久

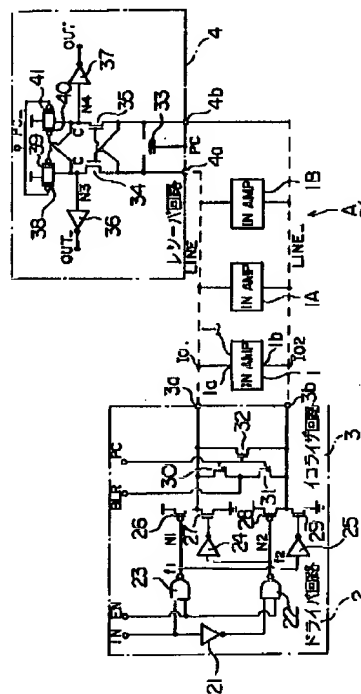
最終頁に続く

(54)【発明の名称】 信号伝達回路

(57)【要約】

【目的】信号伝達回路における信号伝達距離の長距離化、信号遅延および消費電力の縮小化を主な目的とする。

【構成】レベル信号を差動信号に変換するドライバ回路と、該ドライバ回路出力を平坦化するイコライザ回路と、差動信号をレベル信号に変換するレシーバ回路と、前記ドライバ回路と前記レシーバ回路との間に接続される中間増幅回路とで構成され、前記ドライバ回路から出力された差動信号を前記中間増幅回路の正帰還により増幅して前記レシーバ回路に伝達する。



【特許請求の範囲】

【請求項1】論理信号とイネーブル信号とを入力し、上記イネーブル信号が第1の論理レベルにあるときに上記論理信号を差動信号に変換して一対の出力端子に出力し、上記イネーブル信号が第2の論理レベルにあるときに上記一対の出力端子をハイインピーダンス状態とするドライバ回路と、
 上記一対の出力端子に接続された一対の信号線を有する信号伝達線と、
 上記一対の信号線を所定の電圧に平坦化するイコライザ回路と、
 上記一対の信号線に接続された一対の入力端子を有し、上記一対の入力端子に入力される差動信号を増幅して論理信号に変換するレシーバ回路と、
 上記一対の信号線に接続された一対の信号端子と、上記一対の信号端子に現れる差動信号を正帰還動作により増幅して上記一対の信号端子を駆動する増幅回路と、プリチャージ信号に応じて上記増幅回路を非活性状態とするためのスイッチ回路とを有する中間増幅回路と、
 を有する信号伝達回路。

【請求項2】上記レシーバ回路は、
 電源電圧供給端子と一方の入力端子との間に直列に接続された第1および第2のトランジスタと、
 電源電圧供給端子と他方の入力端子との間に直列に接続された第3および第4のトランジスタとを有し、
 上記第1のトランジスタのゲートが上記第3および第4のトランジスタの接続点に接続されており、上記第2のトランジスタのゲートが他方の入力端子に接続されており、上記第3のトランジスタのゲートが上記第1および第2のトランジスタの接続点に接続されており、上記第4のトランジスタのゲートが上記一方の入力端子に接続されている、
 請求項1に記載の信号伝達回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は信号伝達回路に係り、更に詳しくは入出力を共有する端子を備えた中間増幅器の正帰還により信号を増幅し伝達する信号伝達回路に関するものである。

【0002】

【従来の技術】従来、汎用ロジックとしては、TTLロジックが主流であったが、近年、TTLロジックに代わるものとして、CMOSロジックが主流になりつつある。かかるCMOSロジックには、標準CMOSロジック(チップサイズが約20mmで伝播遅延時間が約80ns)、高速CMOSロジック(同チップサイズで伝播遅延時間が約15ns)、新高速CMOSロジック(同チップサイズで伝播遅延時間が約8ns)及びアドバンスト高速CMOSロジック(同チップサイズで伝播遅延時間が約4ns)がある。

【0003】ところで、従来のLSIチップ内のCMOSロジック回路相互間の信号伝達回路としては、インバータをドライバ回路及びレシーバ回路として用いる回路がある。この従来の信号伝達回路の例としては、図10～図13に示すものがある。図10はインバータ52を用いたドライバ回路50とインバータ53を用いたレシーバ回路51とを配線200で接続し、ドライバ回路50から配線200を介してレシーバ回路51へ信号を伝達し、いわゆる、信号のなまりを低減している。図11～図13では、信号伝達距離が長くなって配線200の寄生抵抗、容量等により時定数(RC)が大きくなり、信号伝達時間が長くなると、信号伝達時間の遅延に応じてインバータ54(図11)、インバータ55、56(図12)及びインバータ57～59(図13)をそれぞれドライバ回路50とレシーバ回路51との間に直列に接続して、信号の伝達時間の遅延を改善している。これらインバータ54～59はそれぞれ中間増幅器として機能する。

【0004】図14は先の図10～図13に示す従来の信号伝達回路の消費電力と配線長の関係を示す特性図である。この図において、中間増幅器としてのインバータを用いない曲線0C(図10の信号伝達回路の特性を示すグラフ)は、LSIチップ内の配線長さ20×1000μm(2cm)で約1.05mWの消費電力になる。ここで、信号のサイクルタイムは60ns、配線容量は0.25FF/1μm、配線抵抗は0.1Ω/sqr.である。また、中間増幅器としてインバータ54を用いた曲線2C(図11の信号伝達回路の特性を示すグラフ)は、配線長さ20×1000μmで約1.1mWの消費電力になり、中間増幅器としてインバータ55、56を用いた曲線3C(図12の信号伝達回路の特性を示すグラフ)は、配線長さ20×1000μmで約1.15mWの消費電力になり、中間増幅器としてインバータ57～59を用いた曲線4C(図13の信号伝達回路の特性を示すグラフ)は、配線長さ20×1000μmで約1.2mWの消費電力になる。すなわち、従来の信号伝達回路では、配線長が同じ2cmのとき、配線200(図10～13)の間に中間増幅器としてのインバータ54～59を順次接続するほど、信号伝達回路の消費電力が多くなり、図10の中間増幅器としてのインバータを設けない信号伝達回路と3個の中間増幅器としてのインバータを設けた図13の信号伝達回路を比較したとき、図10の信号伝達回路では消費電力が約1.05mWであるのに対し、図13の信号伝達回路では消費電力が1.2mWに増加する。

【0005】図15は配線の長さとは信号伝達の遅延との関係を示す図であり、図10～図13のシミュレーション結果を表す。この図15において、縦軸は遅延で、横軸は配線距離を示すものである。例えば、LSIチップ内の配線距離が20×1000μm(2cm)のとき、

中間増幅器としてのインバータを用いない曲線0C(図10の信号伝達回路の特性を示すグラフ)で遅延がほぼ5.5ns、中間増幅器としてインバータ54を用いた曲線2C(図11の信号伝達回路の特性を示すグラフ)で遅延がほぼ5ns、中間増幅器としてインバータ55、56を用いた曲線3C(図12の信号伝達回路の特性を示すグラフ)、中間増幅器としてインバータ57～59を用いた曲線4C(図13の信号伝達回路の特性を示すグラフ)でほぼ4.5nsになる。従って、従来の信号伝達回路では、配線長が同じ2cmのとき、配線200(図10～13)の間に中間増幅器としてインバータ54～59を順次接続するほど、遅延時間が短くなり、図10の信号伝達回路と図13の信号伝達回路とを比較したとき、図10の中間増幅器としてのインバータのない信号伝達回路では遅延が約5.5nsであるのに対して図13の中間増幅器としてのインバータを3個接続した信号伝達回路では遅延が4.5nsと短くなっている。以上述べたように、上記従来例は、信号伝達の遅延を短くしようとして中間増幅器としてのインバータの数を増加させると、消費電力が増大するという二律背反の問題がある。しかも、中間増幅器としてのインバータの数が少ない場合でも依然として電力消費が多い。また、中間増幅器としてのインバータの数を増加させても信号伝達の遅延の向上には制限がある。

【0006】図16と図17はインバータ回路を用いた信号伝達回路の上記問題を改善するための他の従来の信号伝達回路の具体的回路例を示すものである(例えば、NIKKEI MICRODEVICES, July, 1991, PP87-88、または、「Circuit techniques For a wide word I/O Path 64 Meg DRAM, K. Komatsuzaki, et. al. VL SI symposium 1991, pp133-134)。図16の信号伝達回路では、ドライバ回路60とレシーバ回路61は、プリチャージ回路62を介して接続されている。ドライバ回路60はCMOSインバータ63、64、駆動用のp形MOSTランジスタ(以下、pMOSTという)65、67、駆動用のn形MOSTランジスタ(以下、nMOSTという)66、68からなる。入力端子INは、インバータ63の入力及びnMOST68のゲートに接続され、インバータ63の出力はpMOST65のゲートに接続されている。入力端子INに印加された電圧がpMOST65のゲート及びnMOST68のゲートにそれぞれゲート電圧として印加される。また、反転入力端子N-INは、インバータ64の入力及びnMOST66のゲートに接続され、インバータ64の出力はpMOST67のゲートに接続されている。反転入力端子N-INに印加された電圧がpMOST67のゲート及びnMOST66のゲートにそれぞれゲート電圧として印加される。

【0007】さらに、pMOST65のドレインにnMOST66のドレインが接続され、第1のランジスタ

対が形成されると共に、pMOST67のドレインにnMOST68のドレインが接続され、第2のランジスタ対が形成される。

【0008】一方、レシーバ回路61は、nMOST71、72、pMOST73～76、CMOSインバータ77及び78からなり、nMOST71、72とpMOST73～76がクロスカップリングされている。また、CMOSインバータ77の入力側は、nMOST72のソース及びpMOST74のゲートに接続され、CMOSインバータ78の入力側は、nMOST71のソース及びpMOST75のゲートに接続されている。上記プリチャージ回路62は、nMOST69、70からなり、nMOST69のソースはドライバ回路のnMOST65のドレイン及びレシーバ回路61のnMOST71のドレインと接続し、nMOST70のソースはpMOST67のドレイン及びnMOST72のドレインと接続してある。また、nMOST69のゲートはnMOST70のゲート及びイコライザ端子EQと接続し、nMOST69のドレインはnMOST70のドレイン及び $V_{DD}/2$ 端子と接続してある。そして、本信号伝達回路はLSIチップ内でアドレス回路等の数cm程度と配線距離の長い信号回路に用いられ、 $V_{DD}/2$ プリチャージの作動で上記ドライバ回路60からプリチャージ回路62を経てレシーバ回路61に信号を送り出し、レシーバ回路61のnMOST71、72で、その回路しきい値電圧 V_{th} の差信号を求め、その差信号をCMOSインバータ77、78でCMOS電圧レベルに変換している。これにより、信号伝達遅延を改善し、しかも消費電力を少なくしている。

【0009】図17は、図16に示す信号伝達回路のドライバ回路とレシーバ回路との間に接続される中間増幅回路を示す回路図である。この中間増幅回路は、差動信号をCMOS信号に変換した後該CMOS信号を再び差動信号に変換することにより上記差動信号を増幅する回路であり、入力信号の差動信号をCMOS信号に変換するレシーバ回路79と、そのCMOS信号を差動信号に変換するドライバ回路80から成る。レシーバ回路79は、入力端子IN、反転入力端子N-IN、差動信号をCMOS信号に変換するnMOST81、82、pMOST83～86、CMOS信号を増幅するCMOSインバータ87及び88より構成される。そのnMOST81とnMOST82は、それぞれゲートとドレインをクロスして接続し、pMOST84、85のそれぞれのゲートとソースをクロスして接続してある。そして、CMOSインバータ87、88は、pMOST84、85のそれぞれのゲートと接続してある。また、ドライバ回路80は、CMOSインバータ89、90、CMOS信号を差動信号に変換するpMOST91、93、nMOST92、94、出力端子OUT及び反転出力端子N-OUTから構成されている。そのCMOSインバータ8

9, 90の出力側はpMOST91, 93のゲートに接続しており、CMOSインバータ89, 90の入力側はnMOST94のゲート及びnMOST92のゲートに接続してある。

【0010】

【発明が解決しようとする課題】しかしながら、図10～図13に示す従来のCMOSインバータ回路を直列に接続した信号伝達回路では、チップサイズの増大及び配線の寄生容量と寄生抵抗にともない、伝送時間の遅延と消費電力の増大が無視できなくなってきた。上記信号伝達回路に代わる回路としては図16のような信号伝達回路があり、本信号伝達回路はCMOSインバータ回路の信号伝達回路に比べて速度で約10%、消費電力で30～40%ほど特性が向上している。ところが、図16の信号伝達回路においては、例えば、LSIチップ内の信号伝送距離が20mm程度以上もの長距離に達するときには、図10～図13に示す信号伝達回路のように中間増幅器を簡単に複数個、直列に接続することができないという不具合があった。

【0011】また、図17のようにドライバ回路とレシーバ回路を組み合わせた中間増幅回路では、入力側で差動信号をCMOS信号に変換するだけでなく、出力側でCMOS信号を差動信号に変換しなければならないために、速度特性が従来のCMOSインバータ回路を接続した信号伝達回路(図11～図13)よりも低下する不具合があった。

【0012】そこで、本発明の信号伝達回路は、信号伝達距離を長くすることができ、高速かつ低電力で信号を伝達することができることを目的とするものである。また、本発明の目的は、入出力を共有する端子を備えた中間増幅器の正帰還により信号を増幅しながら伝達できる信号伝達回路を提供することを目的とするものである。

【0013】

【課題を解決するための手段】上記課題を解決するために、本発明の信号伝達回路は、論理信号とイネーブル信号とを入力し、上記イネーブル信号が第1の論理レベルにあるときに上記論理信号を差動信号に変換して一對の出力端子に出力し、上記イネーブル信号が第2の論理レベルにあるときに上記一對の出力端子をハイインピーダンス状態とするドライバ回路と、上記一對の出力端子に接続された一對の信号線を有する信号伝達線と、上記一對の信号線を所定の電圧に平坦化するイコライザ回路と、上記一對の信号線に接続された一對の入力端子を有し、上記一對の入力端子に入力される差動信号を増幅して論理信号に変換するレシーバ回路と、上記一對の信号線に接続された一對の信号端子と、上記一對の信号端子に現れる差動信号を正帰還動作により増幅して上記一對の信号端子を駆動する増幅回路と、プリチャージ信号に応じて上記増幅回路を非活性状態とするためのスイッチ回路とを有する中間増幅回路とを有する。更に、上記レ

シーバ回路は、電源電圧供給端子と一方の入力端子との間に直列に接続された第1および第2のトランジスタと、電源電圧供給端子と他方の入力端子との間に直列に接続された第3および第4のトランジスタとを有し、上記第1のトランジスタのゲートが上記第3および第4のトランジスタの接続点に接続されており、上記第2のトランジスタのゲートが他方の入力端子に接続されており、上記第3のトランジスタのゲートが上記第1および第2のトランジスタの接続点に接続されており、上記第4のトランジスタのゲートが上記一方の入力端子に接続されている。

【0014】

【作用】本発明の信号伝達回路は、ドライバ回路と、レシーバ回路と、イコライザ回路と、中間増幅回路とで構成され、信号伝達前に前記イコライザ回路が前記ドライバ回路と前記レシーバ回路との間の配線を平坦化し、前記ドライバ回路は入力するレベル信号を差動信号に変換し、前記中間増幅回路は前記ドライバ回路から出力された差動信号を正帰還により増幅して前記レシーバ回路に伝達し、前記レシーバ回路は入力する差動信号をレベル信号に変換する。

【0015】

【実施例】本発明の実施例を図に基づいて説明する。図1は本発明の一実施例の信号伝達回路を示す回路図、図2は本発明の一実施例の信号伝達回路の要部である中間増幅回路を示す回路図、図3は本発明の一実施例の中間増幅回路の各接点における信号波形を示す図、図4～図7は信号伝達回路の接続形態を示す回路図である。これらの図において、Aは信号伝達距離が非常に長い場合、例えば配線長が2cm以上において適用する信号伝達回路で、この信号伝達回路Aはそれぞれ同じ回路構成の複数の中間増幅回路1, 1A, 1B、ドライバ回路2、イコライザ回路3及びレシーバ回路4から構成される。

【0016】この中間増幅回路1では、図1に示すようにイコライザ回路3の接続端3aとレシーバ回路4の入力端子4aを接続する正ラインLINEをI01接続点で入出力兼用端子1aと接続すると共に、イコライザ回路3の出力端子3bとレシーバ回路4の入力端子4bを接続する反転ラインN-LINE(ここでN-は負側を示すものである。)をI02接続点で入出力兼用端子1bと接続してある。この中間増幅回路1は複数個、図1ではイコライザ回路3とレシーバ回路4との間に3個1, 1A, 1Bが接続してある。

【0017】図2は第1の中間増幅回路1の具体的構成を示す回路図である。この図2の中間増幅回路1は、入出力兼用端子1a, 1b、駆動用のpMOST5, 7とnMOST6, 8、プリチャージ用のpMOST9～12とnMOST13～16及びスイッチング用のnMOST17, 18とpMOST19, 20とから構成されている。

【0018】入出力兼用端子1aと接続するのは、pMOST5のドレイン、nMOST6のドレイン、nMOST18のソース及びpMOST20のソースである。pMOST5のゲートには、pMOST9、10のドレイン、pMOST11のゲート及びnMOST17のドレインが接続してある。またnMOST6のゲートには、pMOST19のドレイン、nMOST15のゲート、nMOST13、14のドレインが接続してある。

【0019】さらに、上記pMOST7のゲートには、pMOST11、12のドレイン、pMOST10のゲート及びnMOST18のドレインが接続してあり、nMOST8のゲートには、pMOST20のドレイン、nMOST14のゲート、nMOST15、16のドレインが接続してある。また出力端子1bと接続するのは、pMOST7のドレイン及びnMOST8のドレインである。

【0020】この中間増幅回路1で初期プリチャージ状態にあるときには、pMOST5、7、nMOST6及び8はすべてオフ（非導通状態）にある。このときには、I01接続点とI02接続点の電圧は中間電圧である $V_{DD}/2$ になりpMOST10のゲート接続点N1、pMOST11のゲート接続点N2はハイレベル（以下「Hレベル」という。）になり、nMOST15のゲート接続点N3、nMOST14のゲート接続点N4はローレベル（以下「Lレベル」という。）になる。これは初期プリチャージ状態においては、PC端子Hレベル、N-PC端子がLレベルにあるからである。

【0021】また、この中間増幅回路1がドライブ状態にあるときには、I01接続点とI02接続点の電圧レベルは電源電圧 V_{DD} の中間電圧である $V_{DD}/2$ からそれぞれHレベルとLレベルに分かれ始まる。このときの特性は図3のD点である。ここで、交差接続したトランジスタ対のnMOST17とpMOST19及びnMOST18とpMOST20の実効しきい値はそれぞれのトランジスタのしきい値電圧 V_T ひとつ分になる。そのため、I01接続点がHレベル、I02接続点がLレベルに分かれたとすると、I01接続点とI02接続点がトランジスタのしきい値電圧1個分 V_T 分かれたところで、N2接続点はHレベルからLレベルに、N4接続点はLレベルからHレベルになる。

【0022】このときには、pMOST5とnMOST8がそれぞれオン（導通状態）になる。そして、HレベルになりかけたI01接続点をさらに強くHレベルにドライブし、またLレベルになりかけたI02接続点をさらに強くHレベルにドライブすると、I01接続点とI02接続点に正帰還がかかるので、中間増幅回路1として動作することができるようになる。

【0023】すなわち、この中間増幅回路1では、信号伝達領域における信号波形が図3の特性図に示すように、中間電圧レベルで二つに分かれ（図3のD点）、一

方（図3のD1点）が急峻に立ち上がり、他方（図3のD2点）が急峻に立ち下がるようにトランジスタの不飽和領域で高速に動作する。その結果、従来の中間増幅回路を接続していない信号伝達回路の同特性（図3の曲線C1、C2）と比較して8～10ns程度信号の立ち上がり（立ち下がり）を速くしながら増幅することができる。従って、入出力を共有する端子を備えた中間増幅回路の正帰還により信号を増幅し、高速かつ低電力で信号を伝達することが可能になる。

【0024】次に、上記ドライバ回路2、イコライザ回路3及びレシーバ回路4の構成について図1に基づいて説明する。ドライバ回路2は、入力端子IN、イネーブル信号が印加するEN端子、NANDゲート22、23、CMOSインバータ21、24、25、pMOST26、28、nMOST27及び29から構成される。その入力端子INは、CMOSインバータ21を経てNANDゲート22の一方の入力端子と接続すると共に、NANDゲート23の一方の入力端子と接続してある。また、イネーブルEN端子は、NANDゲート22、23の他方の入力端子と接続してある。このドライバ回路2では、初期プリチャージ状態でイネーブルEN端子はLレベルであり、NANDゲート22、23の出力側のN1接続点、N2接続点はHレベルになる。

【0025】一方、イコライザ回路3は、バランス信号を印加するBLR接点、プリチャージ（以下、PC）接点及びnMOST30～32から構成される。そのBLR接点は、nMOST30のドレイン及びnMOST31のドレインに接続されていて、初期プリチャージ状態でBLR接点は $V_{DD}/2$ の電源電圧になる。また、PC接点はnMOST31、nMOST31及びnMOST32のそれぞれのゲートに接続され、初期プリチャージ状態でPC接点はHレベル、ドライブ状態でPC接点がHレベルからLレベルになり、プリチャージ状態でLレベルからHレベルになる。

【0026】そして、前記ドライバ回路2のpMOST26のドレインにはイコライザ回路3のnMOST30、32のソースが接続され、ドライバ回路2のpMOST28のドレインにはイコライザ回路3のnMOST31のソース及びnMOST32のドレインが接続されている。このイコライザ回路3により2つのドライバ回路出力は平坦化される。

【0027】一方、レシーバ回路4は、出力端子OUT、反転出力端子N-OUT、プリチャージ信号を印加するPC端子、反転PC端子N-PC、nMOST33～35、CMOSインバータ36、37、pMOST38～40及びpMOST41から構成されるものである。このレシーバ回路4では、正ラインの接続点I01を端子4aと接続し、反転ラインの接続点I02を接続点4bと接続してある。このレシーバ回路4の端子4aには、nMOST33のソース、nMOST34のドレイ

ン及びnMOST35のゲートが接続してある。

【0028】また、レシーバ回路4の端子4bには、nMOST33のドレイン、nMOST34のゲート及びnMOST35のドレインが接続してある。そして、nMOST34のソースにはCMOSインバータ36、pMOST38、39のドレイン及びpMOST40のゲートが接続され、nMOST35のソースには、CMOSインバータ37、pMOST39のゲート及びpMOST40、41のドレインが接続してある。そのCMOSインバータ36の出力側は、反転出力端子N-OUTに接続し、CMOSインバータ37の出力側は、出力端子OUTに接続してある。また、PC端子はnMOST33のゲートに接続してあり、反転PC端子N-PCは、pMOST38、41のゲートに接続してある。このレシーバ回路4では、初期プリチャージ状態でN3接続点及びN4接続点がHレベルになり、PC端子がHレベル、反転PC端子N-PCがLレベルになり、出力端子OUT及びN-OUTがLレベルになる。

【0029】そして、ドライブ状態では、PC端子がHレベルからLレベルになり、反転PC端子N-PCがLレベルからHレベルになり信号伝達回路Aのプリチャージ回路状態を解除する。その結果として、I01接続点、I02接続点、N3接続点及びN4接続点はフローティング状態におかれる。

【0030】ここで、イネーブルEN端子がLレベルからHレベルになり、入力IN端子がHレベルになると、N1接続点はLレベルになり、N2接続点はHレベルのままの状態を維持するので、LINEのI01接続点が中間電圧 $V_{dd}/2$ よりHレベルに、反転LINEのI02接続点は中間電圧 $V_{dd}/2$ からLレベルにドライブしてレシーバ回路4に信号が伝達される。その結果、上記レシーバ回路4では、N4接続点がLレベル、出力端子OUTがHレベルになり、信号伝達が完了する。

【0031】図4～図7は本発明の信号伝達回路の接続形態の回路構成を示す図である。図4の回路構成は、入力端子INに接続したドライバ回路2と出力端子OUTに接続したレシーバ回路4との間の正ラインLINEのI01接続点、反転ラインN-LINEのI02接続点の間に中間増幅回路1を接続しない場合を示すもので、本実施例とは関係がないが、説明の都合上記載したものである。図5の回路構成は、ドライバ回路2とレシーバ回路4との間の正ラインのI01接続点と反転ラインのI02接続点との間に上記中間増幅回路1を1段接続した場合を示すものである。図6の回路構成は、ドライバ回路2とレシーバ回路4との間の正ラインのI01接続点、反転ラインのI02接続点間に中間増幅回路1を2段接続し、信号伝達の遅延を改善させた場合を示すものである。図7はドライバ回路2とレシーバ回路4との間の正ラインのI01接続点、反転ラインのI02接続点間に中間増幅回路1を3段接続し、信号伝達の遅延を

さらに改善させた場合を示すものである。

【0032】図8は図4～図7のシミュレーション回路構成における配線距離と信号伝達回路の消費電力との関係を示す図である。図8の縦軸は消費電力(mW)を示すもので、横軸は配線距離($\times 1000\mu m$)を示すものである。この図8において、曲線0Nが中間増幅回路が設けられていない図4の回路構成における配線距離と信号伝達回路の消費電力との関係を示すものである。曲線2Nが中間増幅回路が1段設けられている図5の回路構成における配線距離と信号伝達回路の消費電力との関係を示すものである。曲線3Nが中間増幅回路が2段設けられている図6の回路構成における配線距離と信号伝達回路の消費電力との関係を示すものである。曲線4Nが中間増幅回路が3段設けられている図7の回路構成における配線距離と信号伝達回路の消費電力との関係を示すものである。

【0033】この図8と、図10～図13に示した従来のCMOSインバータを直列に接続した信号伝達回路における消費電力(mW)と配線距離($\times 1000\mu m$)との関係を示す図14を比較してみると、配線距離が20($\times 1000\mu m$)のとき、図8においては中間増幅回路1を1台接続した曲線2Nでほぼ0.75mW(従来の曲線2Cで1.1mW)であり、従来例に比べて約0.35mWの消費電力を節約することができる。中間増幅回路1を2台接続した曲線3Nではほぼ0.9mW(従来の曲線3Cで1.15mW)であり、従来例に比べて約0.25mWの消費電力を節約することができる。また、中間増幅回路1を3台接続した曲線4Nではほぼ0.9mW(従来の曲線4Cで1.2mW)であり、従来例に比べて約0.3mWの消費電力を節約することができる。従って、このように本発明を用いるとCMOSインバータを用いた信号伝達回路と比較して消費電力を0.25～0.3mW節約することが可能になる。

【0034】図9は図4～図7のシミュレーション回路構成図における配線距離と遅延との関係を示す図である。図9の縦軸は遅延(ns)を示すもので、横軸は配線距離($\times 1000\mu m$)を示すものである。この図9において、曲線0Nが中間増幅回路1を接続しない図4の回路構成における配線距離と信号伝達回路の遅延(ns)との関係を示すものである。曲線2Nが、中間増幅回路1を1台接続した図5の回路構成における配線距離と信号伝達回路の遅延との関係を示すものである。曲線3Nが、中間増幅回路1を2段接続した図6の回路構成における配線距離と信号伝達回路の遅延との関係を示すものである。曲線4Nが、中間増幅回路1を3台接続した図7の回路構成における配線距離と信号伝達回路の遅延との関係を示すものである。

【0035】この図9と、図10～図13に示した従来のCMOSインバータを直列に接続した信号伝達回路に

おける遅延 (ns) と配線距離 ($\times 1000 \mu\text{m}$) との関係を示す図15を比較してみると、配線距離が20 ($\times 1000 \mu\text{m}$) cm のとき、中間増幅回路1を1台接続した曲線2Nではほぼ4.5 ns (従来の曲線2Cで5 ns) であり、従来例に比べて約0.5 ns 遅延を短くすることができる。中間増幅回路1を2台接続した曲線3Nではほぼ4.3 ns (従来の曲線3Cで4.8 ns) であり、従来例に比べて約0.5 ns 遅延を短くすることができる。また、中間増幅回路1を3台接続した曲線4Nではほぼ4.3 ns (従来の曲線3Cで4.8 ns) であり、従来例に比べて約0.5 ns 遅延を短くすることができる。従って、このように本発明を用いるとCMOSインバータを用いた信号伝達回路と比較して遅延をほぼ0.5 ns 短くすることが可能になる。

【0036】上記実施例では、入出力を共有する端子を備えた中間増幅回路の正帰還により信号を増幅しながら伝達することにより、高速かつ低電力で信号を伝達することができる各種のCMOSのLSIを提供することが可能になる。また、本実施例の中間増幅回路では、ゲート制御用のクロック信号発生回路やゲート制御回路を不用とすることができるので、回路構成を平易にすることができる。

【0037】なお、上記実施例では、各種のCMOSのLSIに適用することができることを説明したが、本発明の趣旨を逸脱しない範囲であればこれらのもの以外のものにも適用することができることはいうまでもない。

【0038】

【発明の効果】上記のように本発明によれば、入出力を共有する端子を備えた中間増幅回路の正帰還により信号を増幅して伝達でき、高速かつ低電力で信号を伝達することができる。従って、高速かつ低電力で信号を伝達することができる各種のCMOSのLSIを提供することが可能になる。また、本発明の中間増幅回路はゲート制御用のクロック信号発生回路やゲート制御回路が不用であるので、回路構成が平易である、遅延が小さいなどの優れた作用効果を奏することができる。

【図面の簡単な説明】

【図1】本発明の一実施例の信号伝達回路を示す回路図である。

【図2】本発明の一実施例の信号伝達回路の要部である中間増幅回路を示す回路図である。

【図3】本発明の一実施例の中間増幅回路の各接点における信号波形を示す図である。

【図4】本発明の一実施例の信号伝達回路の接続形態を示す回路図である。

【図5】本発明の一実施例の信号伝達回路の接続形態を示す回路図である。

【図6】本発明の一実施例の信号伝達回路の接続形態を示す回路図である。

【図7】本発明の一実施例の信号伝達回路の接続形態を

示す回路図である。

【図8】図4～図7のシミュレーション回路構成図における配線距離と信号伝達回路の消費電力との関係を示す図である。

【図9】図4～図7のシミュレーション回路構成図における配線距離と信号伝達回路の遅延との関係を示す図である。

【図10】従来のCMOSインバータを用いた信号伝達回路の例を示す回路図である。

【図11】従来のCMOSインバータを用いた信号伝達回路の例を示す回路図である。

【図12】従来のCMOSインバータを用いた信号伝達回路の例を示す回路図である。

【図13】従来のCMOSインバータを用いた信号伝達回路の例を示す回路図である。

【図14】従来のCMOSインバータを用いた信号伝達回路において、図10～図13のインバータ接続数に対応した信号伝達回路の消費電力と配線長の関係を示す図である。

【図15】従来のCMOSインバータを用いた信号伝達回路において、図10～図13のインバータ接続数に対応した信号伝達回路の遅延と配線距離の関係を示す図である。

【図16】従来の差動信号による信号伝達回路の具体的な回路例を示す図である。

【図17】従来の差動信号による信号伝達回路に用いる中間増幅回路の具体的な回路例を示す図である。

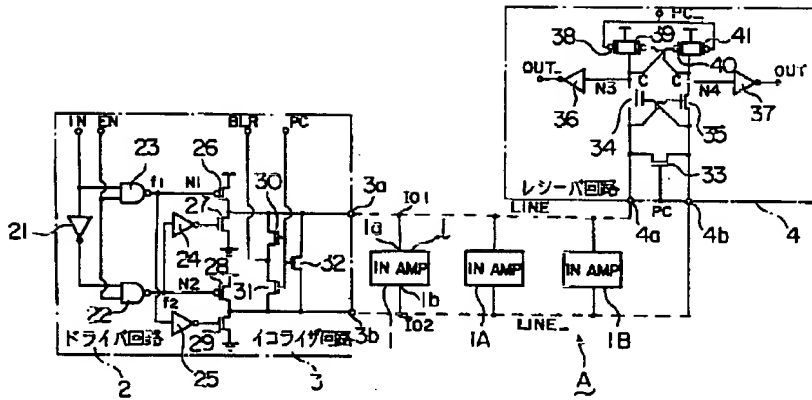
【符号の説明】

- 1 中間増幅回路
- 2 ドライバ回路
- 3 イコライザ回路
- 4 レシーバ回路
- 5 駆動用トランジスタ
- 6 駆動用トランジスタ
- 7 駆動用トランジスタ
- 8 駆動用トランジスタ
- 9 プリチャージ用のトランジスタ
- 10 プリチャージ用のトランジスタ
- 11 プリチャージ用のトランジスタ
- 12 プリチャージ用のトランジスタ
- 13 プリチャージ用のトランジスタ
- 14 プリチャージ用のトランジスタ
- 15 プリチャージ用のトランジスタ
- 16 プリチャージ用のトランジスタ
- 17 トランジスタ
- 18 トランジスタ
- 19 トランジスタ
- 20 トランジスタ
- 21 CMOSインバータ
- 22 NAND回路

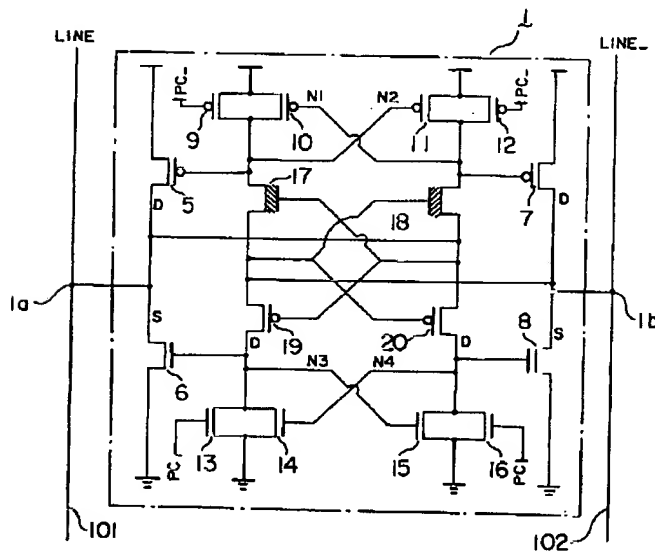
23 NAND回路
24 CMOSインバータ
25 CMOSインバータ

36 CMOSインバータ
37 CMOSインバータ

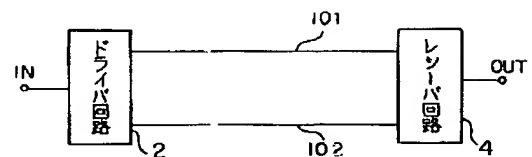
【図1】



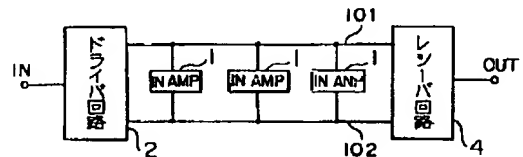
【図2】



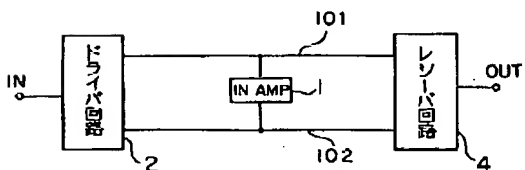
【図4】



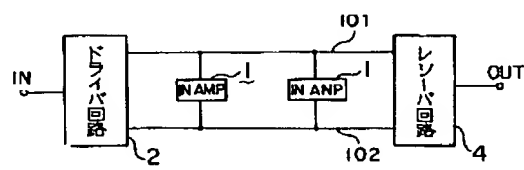
【図7】



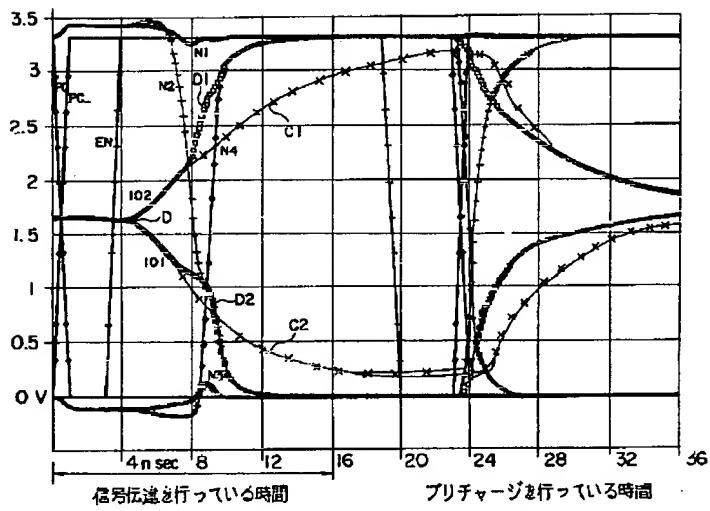
【図5】



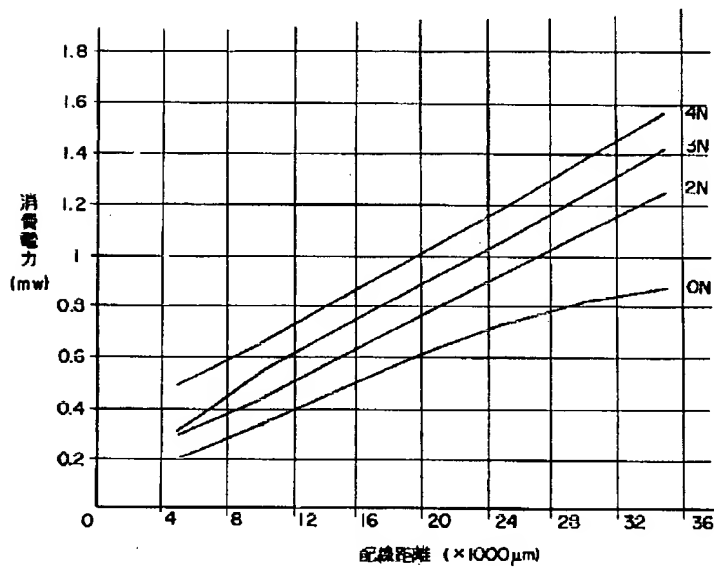
【図6】



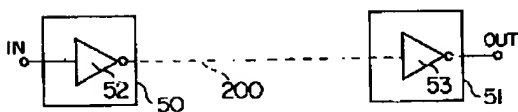
【図3】



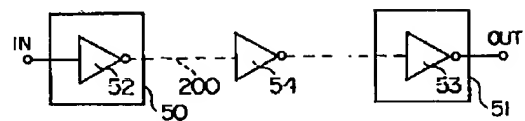
【図8】



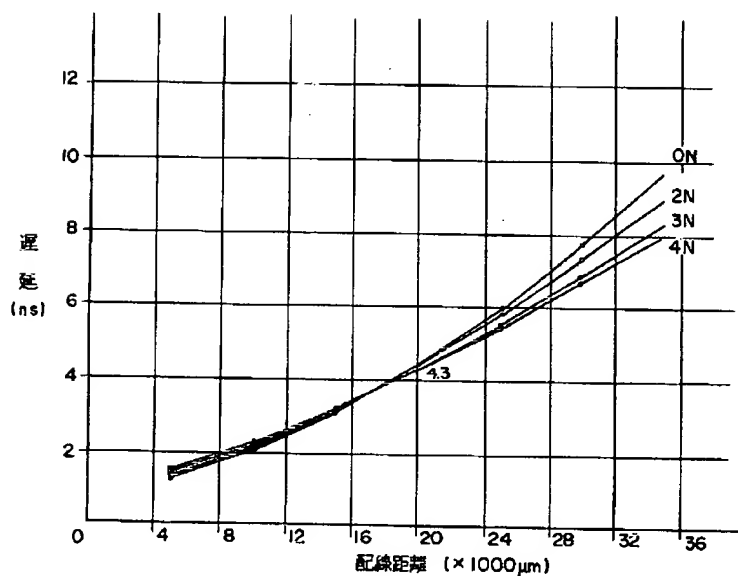
【図10】



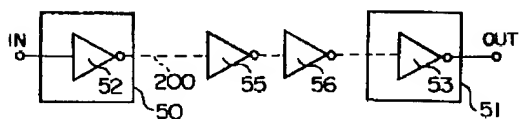
【図11】



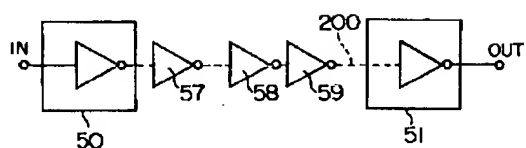
【図9】



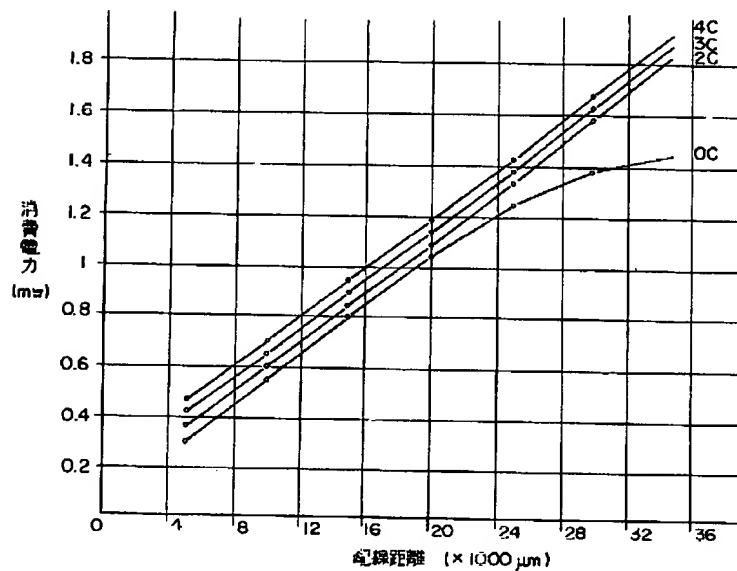
【図12】



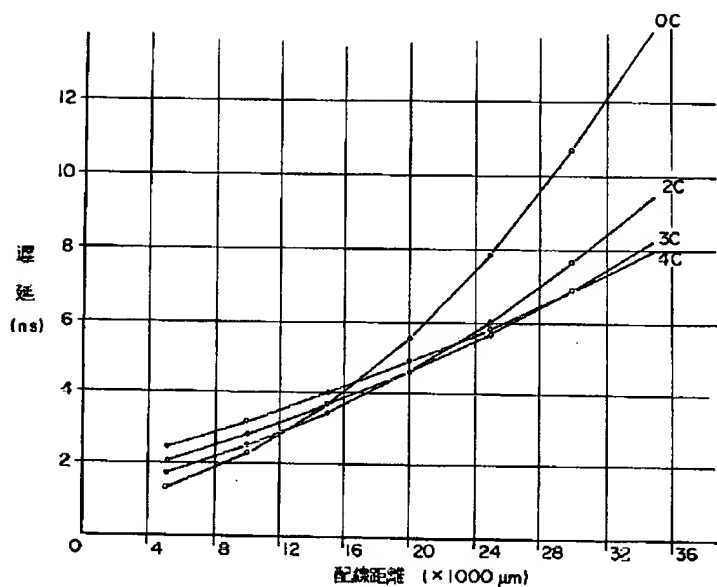
【図13】



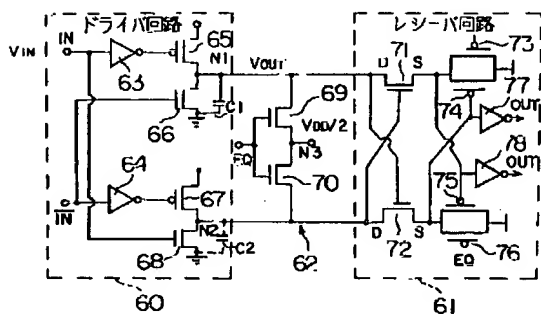
【図14】



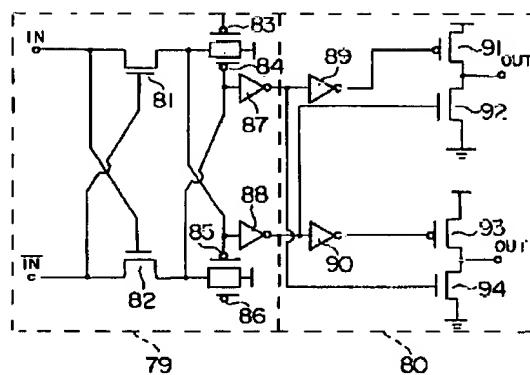
【図15】



【図16】



【図17】



フロントページの続き

Fターム(参考) 5J056 AA01 AA04 BB02 BB17 CC00
CC19 DD13 DD29 EE07 FF07
FF08 GG09 GG12 KK03
5J090 AA01 CA00 CA36 CA65 FA17
HA10 HA17 KA00 KA03 KA33
MA00 MA12 MA21 MN01 TA01
TA02 TA06